

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-236646

(43)Date of publication of application : 13.09.1996

(51)Int.Cl.

H01L 21/8246
H01L 27/112
H01L 21/316

(21)Application number : 07-338749

(71)Applicant : NKK CORP
OKO DENSHI KOFUN YUGENKOSHI

(22)Date of filing : 26.12.1995

(72)Inventor : TAKEUCHI NOBUYOSHI

(30)Priority

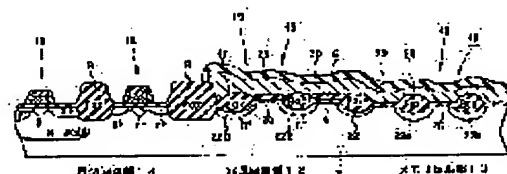
Priority number : 06340543 Priority date : 27.12.1994 Priority country : JP

(54) MASK ROM DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a mask ROM device, and the manufacture capable of naturally forming a redundant circuit without increase in process steps, and improving a yield without raising the cost.

SOLUTION: A cell part 10 of an MOS structure and a redundant cell part 12 of a metal nitride oxide semiconductor(MNOS) structure are formed on the same semiconductor substrate with an oxidized film layer 26 in common. The redundant cell part 12 is formed by diverting the stack structure of a silicon intruded film 6 and a pad oxidized film 4 used in an element separation process.



LEGAL STATUS

[Date of request for examination] 21.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3388971

[Date of registration] 17.01.2003

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-236646

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8246			H 0 1 L 27/10	4 3 3
27/112			21/94	A
21/316				

審査請求 未請求 請求項の数 2 O L (全 10 頁)

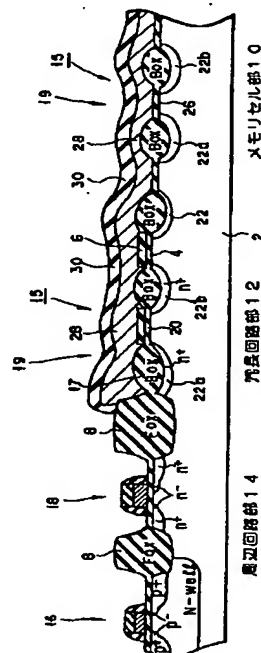
(21) 出願番号	特願平7-338749	(71) 出願人	000004123 日本鋼管株式会社 東京都千代田区丸の内一丁目1番2号
(22) 出願日	平成7年(1995)12月26日	(71) 出願人	396000950 旺宏電子股▲ふん▼有限公司 台湾新竹市科学工業園区研新三路三號
(31) 優先権主張番号	特願平6-340543	(72) 発明者	竹内 信善 東京都千代田区丸の内一丁目1番2号 日 本鋼管株式会社内
(32) 優先日	平6(1994)12月27日	(74) 代理人	弁理士 長谷川 和音
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 マスクROM装置及びその製造方法

(57) 【要約】

【課題】 プロセスステップの増加なしに自然に冗長回路を形成でき、コストアップを生ぜず歩留まりを上げることができるマスクROM装置及びその製造方法を提供することにある。

【解決手段】 MOS構造のセル部10及びMNOS構造の冗長セル部12が酸化膜層26を共通として同一半導体基板に形成されている。冗長セル部12は、素子分離工程で用いたシリコン窒化膜及びパッド酸化膜のスタック構造を転用して形成される。



【特許請求の範囲】

【請求項1】半導体基板と、

この半導体基板にMOS構造を有するメモリセルによるアレイが形成され、各メモリセルがプログラムされているメモリセル部と、
前記半導体基板上にMNOS構造を有する冗長セル群が形成されている冗長部とを具備し、前記MOS構造及びMNOS構造のゲート酸化膜の厚さがほぼ等しいことを特徴とするマスクROM装置。

【請求項2】半導体基板上に第1の酸化膜及びこの第1の酸化膜上に窒化膜を形成する工程と、
MNOS構造に相当する窒化膜及び第1酸化膜の積層構造の一部を残して第1及び前記窒化膜を除去する工程と、
半導体基板上にソース及びドレインに相当する不純物領域を形成する工程と、
ソース及びドレイン間に相当するチャネル領域上の半導体基板表面上にゲート酸化膜を形成してMOS構造とする工程と、
第1酸化膜及びゲート酸化膜上にゲート電極を設ける工程と、
から成ることを特徴とするマスクROM装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体メモリ装置及びその製造方法に係り、特にマスクROM及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体メモリは、次第にその容量が大きくなり、そのメモリの大容量化に伴い不良ビットの問題が大きくなっている。特に、マスクROMでは、そのメモリセルに欠陥があった場合に、他のメモリセルを代替セルとして電気的にデータを書き込むことができないため、EPROMのように単純にセルの行や列を増やしてそれを冗長回路として用いることができないとされている。

【0003】従来の半導体メモリでは、

(1) ECC(Error Checking and Correction)回路を用いて不良ビットに対応している。即ち、ECC回路では、この回路によって不良ビットが検知されてその不良ビットを修正して正常ビットとして出力している。

【0004】(2) メモリセル部以外に冗長回路部を半導体装置上に設け、この冗長回路部に1poly型のEPROMのセル列が形成され、不良ビットに対応したメモリセル列に代えて冗長回路部のメモリが用いられている。

【0005】等の対策がなされている。

【0006】

【発明が解決しようとする課題】ECC回路は、種々の工夫で装置の面積が大きくなる面積的なデメリットを改

良しつつあるが、動作スピードの点で問題があり、これが今後の改良の目標になっている。

【0007】1poly型のEPROMを冗長回路に用いるのは、チップ面積が大きくなるというデメリットがある。セル面積がROMセルに比べて大きいからである。

【0008】

【課題を解決するための手段】素子分離に用いられるシリコン窒化物SiNx/酸化膜の構造をMNOSとして転用し、これを冗長回路に組み込むことで上記問題は、解決される。

【0009】この発明の目的は、プロセスステップの増加なしに自然に冗長回路を形成でき、コストアップを生ぜずに歩留まりを上げることができるマスクROM装置及びその製造方法を提供するにある。

【0010】この発明によれば、半導体基板と、この半導体基板にMOS構造を有するメモリセルのアレイが形成され、各メモリセルがプログラムされているメモリセル部と、前記半導体基板上にMNOS構造を有する冗長セル群が形成されている冗長部とを具備し、前記MOS構造及びMNOS構造のゲート酸化膜の厚さがほぼ等しいことを特徴とするマスクROM装置が提供される。

【0011】また、この発明によれば、半導体基板上に第1の酸化膜及びこの第1の酸化膜上に窒化膜を形成する工程と、MNOS構造に相当する窒化膜及び第1酸化膜の積層構造の一部を残して第1及び前記窒化膜を除去する工程と、半導体基板上にソース及びドレインに相当する不純物領域を形成する工程と、ソース及びドレイン間に相当するチャネル領域上の半導体基板表面上にゲート酸化膜を形成してMOS構造とする工程と、第1酸化膜及びゲート酸化膜上にゲート電極を設ける工程と、から成ることを特徴とするマスクROM装置の製造方法が提供される。

【0012】

【作用】アレイセルと同等な面積のMNOSセルを特別なプロセスステップの追加なしに冗長回路として組み込むことができる。

【0013】

【実施例】以下、この発明の一実施例に係るマスクROMの構造及びその製造方法を図面を参照して説明する。

【0014】図1は、この発明の一実施例に係るマスクROMの構造を示す断面図である。また、図2(a)から(f)及び図3(a)から(f)は、図1に示されるマスクROMの製造工程を示す断面図である。

【0015】図1に示すようにこの発明の一実施例に係るROMは、P型シリコン半導体基板2上にメモリセル部10、メモリセル部10のメモリにセルに不良があった場合につき変えられる不揮発性メモリセルが形成されている冗長回路部12及びメモリセル部10並びに冗長回路部12を駆動するための周辺回路部14が形成されている。周辺回路部14には、図1に示すように相補

型のトランジスタとしてPMOS16及びNMOS18が形成され、これらのトランジスタが組み合わされて駆動回路等が構成されている。PMOS16及びNMOS18は、素子分離の為にフィールド酸化膜8で分離され、また、周辺回路部14は、冗長回路部12及びメモリセル部10から同様に素子分離の為にフィールド酸化膜8で分離されている。

【0016】冗長回路部12には、EEPROMとしてのMNOS15が形成されている。即ち、埋め込み酸化膜17が半導体基板2に形成され、この酸化膜17下にn⁺の不純物領域22がソース領域22a及びドレイン領域22bに形成されている。このソース領域22a及びドレイン領域22b間の基板表面領域がチャネル領域に規定され、その表面領域上にパッド酸化膜4が形成されている。このパッド酸化膜4上には、MNOSを形成するためのシリコン窒化膜6(Si₃N₄;但し、化学量子論的には、Si₃N₄に近いものを含む。)が設けられ、このシリコン窒化膜6上には、ゲート電極構造19としてポリシリコン膜28及びタングステンシリサイド膜30が形成されている。このMNOS構造のトランジスタにデータを書き込む際には、ソース領域22a及びドレイン領域22b間に電圧を印加した状態でゲート電極構造19に書き込み電圧が印加される。これによってパッド酸化膜4とシリコン窒化膜6との境界に電子がトラップされてデータが書き込まれる。データが書き込まれたMNOSでは、その閾値が変化されることから、ゲート電極構造19に読み出し電圧が印加された際にそのソース領域22a及びドレイン領域22b間が導通することからデータが読み出されることとなる。

【0017】メモリセル部10では、シリコン窒化膜6を除去したMNOS構造と同様の構造のNMOSに形成されている。即ち、メモリセル部10の各メモリセルトランジスタでは、埋め込み酸化膜17が半導体基板2に形成され、この酸化膜17下にn⁺の不純物領域22がソース領域22a及びドレイン領域22bに形成されている。このソース領域22a及びドレイン領域22b間の基板表面領域がチャネル領域に規定され、その表面領域上にパッド酸化膜4とゲート酸化膜26が形成されている。このゲート酸化膜26上には、ゲート電極構造19としてポリシリコン膜28及びタングステンシリサイド膜30が形成されている。

【0018】このメモリセル部10では、予め各メモリセルが後に述べる製造工程においてマスクを用いてプログラムされている。このセルのプログラムに関しては、種々の方法があるが、この実施例では、セルのプログラ

ムを半導体表面領域のチャネル領域へのイオン注入によってセルトランジスタの閾値を制御する方法を採用している。即ち、セルトランジスタのチャネル領域にボロンBを注入し、そのセルトランジスタの閾値を高め、読み出し電圧でチャネルが導通しない方式を採用している。このイオン注入は、いわゆる"コア注入"と称せられている。表1に示すようにこのコア注入によってセルトランジスタの「1」、「0」論理が決定される。

【0019】

【表1】

	コア注入なし	コア注入有り
セル閾値	低	高
論理:	"0"	"1"

一般のMNOSでは、酸化膜が薄く(〜3nm、〜5nm)、このため書き込み消去は、ゲートに高電圧を印加し、酸化膜にトンネル電流を流してデータが書き込まれるが、後に述べる製造方法から明かなようにこの発明の実施例に係るMONOS構造では、パッド酸化膜4が比較的厚く形成される。このような比較的厚いパッド酸化膜4を有するMNOS構造では、ホットエレクトロン及びホットホールがパッド酸化膜4とシリコン窒化膜6との境界に注入されてデータが書き込まれ、また、消去されることとなる。即ち、エレクトロンの注入でセルトランジスタの閾値が高められるとともにホールの注入でセルトランジスタの閾値が低下される。セルトランジスタは、場合によっては、負(デプレシオン)トランジスタの状態にできる。このように図1に示されるMNOS構造では、高、低及び電化注入なしの3つの状態を作ることができる。「0」、「1」は、これからの中から2つを選ぶ3通りがあることとなる。容易に理解できるように、セルトランジスタのバランスを考えると、この注入なしの初期状態がセルトランジスタの「0」、「1」とどうゆう関係にあるかによってホール注入及びエレクトロン注入のいずれかを選ぶこととなる。

【0020】然ながら、一般にホール注入には、時間が掛かる。従って、エレクトロン注入を選択するのが実用的である。表2の論理の一番下の論理状態が最も好ましいものとされる。

【0021】

【表2】

5

6

	ホール注入	注入なし	エレクトロン注入
セル閾値	低	中	高
論理	0	1	
	0	—	1
		0	1

次に、図2(a)から(f)を参照して図1に示されたマスクROMの製造方法を説明する。

【0022】始めにN型の半導体領域、Nウェル1が図2(a)に示すようにP型のシリコン半導体基板2上に形成される。この工程は、 $8 \sim 12 \Omega \cdot \text{cm}$ の抵抗値を有するP型半導体基板2の(100)の表面に 900°C の酸素(O_2)雰囲気中で酸化シリコン膜(SiO_2)の形成してウェル形成のためのフォト工程でレジストパターンが形成される。このレジストパターンが形成された基板2にリン(P)が 150 keV で濃度 7.5×10^{12} のイオンが注入される。レジストが剥離された後、温度 1150°C で6時間ほどアニールしてN型の半導体領域1が形成される。その後、酸化シリコン膜(SiO_2)がフッ化水素(HF)処理工程を含むRCA線状で除去される。

【0023】次に、このN型の半導体領域1が形成されているP型のシリコン半導体基板2上に温度 900°C 、酸素/塩化水素(O_2/HCl)の混合ガスによってバッファ用のシリコン酸化膜(SiO_2)4、即ちバッド酸化膜が厚さ 15 nm に形成される。次に、LPCVD(Low Pressure Chemical Vapor Deposition)法を用いてこのシリコン酸化膜(SiO_2)4上にアンモニア/二塩化シラン($\text{NH}_3/\text{SiH}_2\text{Cl}_2$)の混合ガスを用いて温度 770°C の条件下でシリコン窒化膜6(SiN_x)が厚さ 50 nm だけデポジットされる。

【0024】次に、フォトリソグラフ技術を用いてシリコン窒化膜6(SiN_x)上にレジストパターンが形成され、図2(b)に示すようにこのシリコン窒化膜6(SiN_x)の一部がRIE(reactive ion etching)法でエッチング除去される。このエッチング時には、6フッ化イオウ/ヘリウム(SF_6/He)の混合ガスが用いられる。

【0025】更に、図2(c)に示すように温度 980°C の酸素/水素(O_2/H_2)の混合ガスによりシリコン窒化膜6(SiN_x)が除去されたバッド酸化膜4の部分7a、7bが酸化されて厚さ 500 nm のフィールド酸化膜8が形成される。既に説明したように、このフィ

ールド酸化膜8によって周辺部14は、冗長部12及びセル部10から分離され、また、周辺部14においては、P型領域とN型領域とが素子分離される。

【0026】上述の工程の後に、形成されるトランジスタの閾値を整える為にイオンがバッド酸化膜4を介して基板2に注入される。即ち、シリコン窒化膜6上にレジストマスク9が形成されてこのレジストマスク9がフォトリソグラフ技術を用いてマスクパターンに形成される。その後、このシリコン窒化膜6のマスクパターンで覆われていない部分がRIE法を用いて6フッ化イオウ/ヘリウム(SF_6/He)の混合ガスで選択的にエッチングされ、除去される。この状態で、図1(d)に示すようにイオンがバッド酸化膜4を介して基板2の表面に注入される。このイオン注入マスクパターンニングにおいては、冗長回路部12となるシリコン窒化膜4の部分は、フォトレジスト膜9で覆われることとなり、このフォトレジスト9が冗長回路部12のメモリセルのチャネル長を規定することとなる。また、閾値を調整するイオン注入工程でのイオン注入量は、トランジスタ特性の設定によって異なるが、概ね $B10^{11} \sim 10^{13} / \text{cm}^2$ のオーダーに定められる。

【0027】イオン注入の後にフォトレジスト9が除去され、半導体基板2の表面が温度 875°C 、酸素(O_2)の雰囲気中で犠牲酸化される。この時に基板表面2上には、酸化膜厚 20 nm を有するシリコン酸化膜20が形成される。

【0028】次に、基板2の表面に埋め込み拡散層22(Buried Diffusion Layer)を形成する為に、図2(e)に示すようにフォトリソグラフ技術でレジストパターン24が形成される。このレジストパターン24は、周辺回路部14を覆うと共にメモリセル部10には、選択的に形成される。また、冗長回路部12では、先にパターンニングした窒化膜6がイオン注入時のマスクとなっている。その後、このマスクされた基板表面2上には、砒素(As)が 60 keV で注入量 $3 \times 10^{13} / \text{cm}^2$ 程、イオン注入されてn $^+$ の拡散層22としてのソース領域22a及びドレイン領域22bが形成される。

【0029】既に、基板2の表面に形成された犠牲酸化膜20は、B. O. E (Buried Oxide Etching)法で除去された後、図2(f)に示すように基板2の表面が酸化されてゲート酸化膜26が形成される。このゲート酸化工程では、温度875°Cで、酸素/塩化水素(O₂/HCl)の混合ガスを用い、膜厚18nmを有するゲート酸化膜26が形成される。

【0030】次に、図3(a)に示すようにLPCVD法でポリシリコン(Poly Si)がデポジットされてポリシリコン膜28が形成される。このポリシリコン膜形成工程では、シランガス(SiH₄)が用いられ、温度630°Cで膜厚150nmを有するポリシリコン膜28が形成される。

【0031】更に、このポリシリコン膜28にオキシ塩化リン(POCl₃)を用いて温度875°Cでリン(P)がドーピングされる。このドーピングの際のドーピングレベルは、シリコン単結晶ウエハへのシート抵抗レベルで~40Ω/□程度となっている。このポリシリコン膜28へのドーピングによってポリシリコン膜28が低抵抗化される。

【0032】更に又、図3(a)に示すようにタングステンシリサイド(WSi₂)がCVD法を用いて温度430°Cでポリシリコン膜28上にデポジションされて膜厚200nmを有するタングステンシリサイド膜30が形成される。

【0033】この工程の後に次のようなゲートの切出工程が実施される。このゲート切りだし工程では、RIE法が用いられる。即ち、図3(a)に示すようにフォトリソグラフ技術を用いてフォトリソレジスト31がタングステンシリサイド膜30上にパターンニングされた後、図3(b)に示すように6フッ化イオウ/臭化水素(SF₆/HBr)の混合ガスでタングステンシリサイド層30が除去され、また、臭化水素/塩素(HBr/Cl₂)の混合ガスでポリシリコン層28が除去されるとともに冗長部12のワード線間におけるシリコン窒化膜部6が8フッ化プロパン(C₃F₈)のガスで除去される。この工程によって図1に示されるマスクROMの冗長部12及びメモリセル部10が製造される。

【0034】図3(a)及び(b)に示されるゲート電極切りだし工程、即ち、ゲート電極部切出工程では、セル部の10が形成されるとともに周辺回路部14のタングステンシリサイド層30及びポリシリコン層28がエッチングされる。その後、図3(b)及び(c)に示すように周辺部14のトランジスタのソース及びドレインが形成される。即ち、図3(b)に示すようにNチャネルトランジスタ用にN⁻イオン、例えば、リンイオン(P)が基板2に60keVで濃度2×10¹¹/cm²程注入され、図3(c)に示すようにPチャネルトランジスタ用にP⁻イオン、例えば、2フッ化ボロンイオン(BF₂)が基板2に65keVで濃度1×10¹¹/cm²

程注入される。次に、残存するレジスト膜を除去した後、図3(d)に示されるスペーサ33を形成する為にTEOSによってシリコン酸化膜(SiO₂)がLPCVD法で温度700°C下で300nm形成される。RIE法でアルゴン/4フッ化炭素/3フッ化メタン(Ar/CF₄/CHF₃)の混合ガスで異方性エッチングがなされ、スペーサが形成される。更に、図3(e)に示すようにレジストマスク34を形成後、N⁺イオン、例えば、砒素イオン(As)が基板2に80keVで濃度3×10¹¹/cm²程注入され及び図3(f)に示すようにP⁺、例えば、2フッ化ボロンイオン(BF₂)が基板2にレジスト膜35を用いて70keVで濃度3×10¹¹/cm²程注入されて周辺部14のトランジスタ回路が形成される。

【0035】尚、フィールド分離の為のイオン注入は、周辺NMOSのソース・ドレインイオン注入時に同マスクを用い、ボロンB、180keVで2×10¹²/cm²を同時注入している。

【0036】また、埋め込み拡散層22のバンチスルーストップパー用に埋め込み拡散層22へのイオン注入に引き続き、バンチスルーストップ注入をすることもできる。もちろん、このイオン注入は、閾値V_tを定めるイオン注入固定を2ステップにして周辺のバンチスルーストップ注入とする等組み合わせが採用される等種々の方法がある。

【0037】MNOS部のデバイス設計には、例えば、F.L.Hampton, J.R.CricchiによるIEDM '79のMNOSデバイスに関する論文を参照されたい。図5に示すように、シリコン窒化膜とエレクトロン注入による閾値変化がシリコン窒化膜形成条件ととともに関係付けられている。

【0038】既に説明したように、セルのプログラムは、エレクトロンの注入を前提としているため、MNOS部の閾値を抑えるべく、比較的薄いシリコン窒化膜、MNOS部への閾値イオン注入なしというプロセスを採用している。

【0039】素子分離にSILLO(Sealed Interface Local Oxidation)を用いた場合には、冗長部12の設計がより簡便となる。即ち、図5(a)に示すようにSILLO構造では、シリコン基板2上に実質的には直接に窒化シリコン膜6が形成され、この窒化シリコン膜6上にシリコン酸化膜(SiO₂)51、シリコン窒化膜(Si₃N₄)52を積層している。一般に基板2上には、自然酸化膜54があり、この自然酸化膜54上に窒化シリコン膜6が形成される。この自然酸化膜54は、次の工程で極薄熱酸化膜54に置き換えられても良い。即ち、基板2の表面がフッ化水素でクリーニングされた後、直ちにLPCVD炉に入れられて減圧下で熱酸化膜54が~5nm以下の厚さに形成される。例えば、LPCVD工程において酸素雰囲気中で温度800°Cの条件下で~5nm

以下のシリコン酸化膜54が形成される。その後、シリコン窒化膜6がデポジットされる。例えば、LPCVD工程においてアンモニア/二塩化シラン($\text{NH}_3/\text{SiH}_2\text{Cl}_2$)の混合ガスを用いて温度780°Cの条件下でシリコン窒化膜6(Si_3N_4)が厚さ30nmだけデポジットされる。後に冗長回路12に形成されるMNOSは、この窒化膜6/極薄酸化膜54の積層構造であるから、この工程で積層構造の実効膜厚(酸化膜換算膜厚)を後に作られるゲート酸化膜26の厚さに対応させることができる。

【0040】シリコン窒化膜6の形成後、酸化膜51及び窒化膜52がLPCVD法でデポジットされ、バターニングの後にフィールド酸化が実施されて素子分離用の厚い酸化膜(FOX)8が形成される。例えば、LPCVD工程において酸化窒素/シラン($\text{N}_2\text{O}/\text{SiH}_4$)の混合ガスを用いて温度780°Cの条件下で窒化膜を70nmだけデポジットされて積層構造が図5(b)に示すように形成される。バターニングは、RIE法が用いられ、C3F6または、C4F8のガス等でエッチングすることが簡便である。SILCO構造では、一般にフッ素、リン酸、フッ素、リン酸の順序で積層部の膜が一枚毎に剥されることとなるが、この発明の実施例では、MNO S構造の為に一部の膜が図5(c)に示されるように残されることとなる。その後、図2(e)から(f)及び図3(a)から(f)の工程が実施されて図5(d)に示すマスクROMに形成される。このような工程で作られるMNOS構造では、第1の窒化膜上に形成される酸化膜には、制限が生じる。即ち、この酸化膜は、ゲート酸化26の膜形成前に形成される犠牲酸化膜除去工程で除去できる程、薄いことが要求される。フィールド酸化膜の膜厚が減少するフィールド酸化膜の膜減りを最大限許容しても実用的には、100nm以下、望ましくは50nm以下にする必要がある。また、埋め込み拡散領域をイオン注入するためのマスクに用いるには、20nm以上が必要とされている。ここで、最上部の窒化膜52には、厚さに関しては制限がないことを明記しておく。

【0041】このようにSILCO構造が用いられると、多層工程のためMNOS用窒化膜を目標とする特性に合わせて最適化することができる利点がある。また、この実施例では、MNOSへの書き込みは、通常書き込みと同様にトンネル電流を用いて行うことができる。また、上述のような工程を採用することができる場合には、SILCO以外にSWAMI(Side Wall Masked Isolation)等、第2酸化膜、第2窒化膜を使用する素子分離方法が該当する。

【0042】上述したマスクROMでは、セル部10へのコアの注入工程は、以下のようないずれかの工程中に実施することができる。

【0043】(1) タングステンシリサイド膜30及びポリシリコン膜28($\text{WSix}/\text{PolySi}$)形成前の図2

(f)の工程でメモリセルにコアが注入される。

【0044】(2) タングステンシリサイド膜30及びポリシリコン膜28($\text{WSix}/\text{PolySi}$)形成直後の図3(a)の工程でメモリセルにコアが注入される。

【0045】(3) タングステンシリサイド膜30及びポリシリコン膜28($\text{WSix}/\text{PolySi}$)のバターニング後の図3(i)の工程或いは、図1に示された構造が形成された後にメモリセルにコアが注入される。

【0046】(4) BPSG、メタル形成後にメモリセルにコアが注入される。

【0047】その他、通常技術で実施されているメモリセルへのコアの注入工程が採用されれば良い。

【0048】図6に冗長回路を含むセル回りの回路の1例が示されている。この回路では、セル部10のワードライン WL_n に接続されたセルに欠陥が有る場合にこのワードライン WL_n のスペアとして冗長回路12のワードライン WL_k が選択される。即ち、セル部10に不良セルがある場合には、その不良セルに接続されるワードライン WL_n が冗長部12のワードライン WL_k に置き換えられる。

【0049】図6に示す回路では、アドレス信号が入力される毎に冗長回路12によって連想セル、即ち、CAMセル(Content Addressable Memory)36の内容が参照され、入力されたアドレスがCAMセル36内に記憶されたアドレスと一致する際には、そのアドレスで指定されるセルは、不良セルとして取り扱われる。即ち、不良セルをアクセスするアドレス信号が入力された際に、冗長回路12のワードラインを選択するようにスペアデコーダ38がCAMセル36のプログラムをデコードして不良セルに接続されたワードライン WL_n の選択を禁止し、冗長回路部12のワードライン WL_k を選択するように構成されている。尚、CAMセル36は、冗長部と同じMNOS構造に形成されている。

【0050】図6に示す回路において、セルを選択するアドレス、例えば、“1”がインバータ37に入力されると、このインバータ37からは、“0”が出力され、スペアデコーダ38にアレイ用デコーダ・ライン39、41を介して出力“1”及び“0”が入力される。このアドレス信号に応じてスペアデコーダ38は、CAMセル36のプログラムをデコードして選択されたワードライン WL_n に欠陥がない場合には、アレイ用デコーダ・ライン43に選択信号“1”を出力し、ワードライン WL_n に欠陥が有る場合には、アレイ用デコーダ・ライン43に非選択信号“0”を出力する。

【0051】ワードライン WL_n に欠陥がない場合には、NAND回路40には、アレイ用デコーダ・ライン39、41、43を介して出力“0”、“1”及び“1”が入力される。ライン39からの出力“0”は、NAND回路40への入力時に反転され、従って、NAND回路40からは、出力“0”が出力される。この出力

は、ワード線ドライバに接続されたNOT42に入力され、NOT42からは、ワードラインWL_nを選択するに十分な電圧がNOT42から出力され、このワードラインWL_nが選択される。これに対して、選択信号"1"がアレイ用デコーダ・ライン43を介してNOT44に入力されるが、この出力が"0"の為、冗長回路12に接続されたワードラインWL_kは、選択されないこととなる。

【0052】動作し、不良ワードラインWLの選択禁止信号が出され、その代わりに冗長部が選択されることとなる。

【0053】ワードラインWL_nに欠陥がある場合には、NAND回路40には、アレイ用デコーダ・ライン39、41、43を介して出力"0"、"1"及び"0"が入力される。従って、NAND回路40からは、出力"1"が出力され、この出力は、ワード線ドライバに接続されたNOT42に入力され、NOT42からは、ワードラインWL_nを選択しない出力"0"が出力される。これに対して、非選択信号"0"がアレイ用デコーダ・ライン43を介してNOT44に入力され、この出力"1"によって冗長回路12に接続されたワードラインWL_kが選択されることとなる。

【0054】書き込み時には、冗長回路の12のワードラインWL_kを介して選択されたセル列に書き込み回路(図示せず)を用いてビットラインBLを選択し、ホットエレクトロンを指定のセルに注入してそのセル列がプログラムされることとなる。

【0055】読み出し時にも、書き込み時と同様に冗長回路の12のワードラインWL_kを介して選択されたセル列に読み出し回路(図示せず)を用いてビットラインBLが選択され、セルからデータが読み出される。

【0056】上述のようなMNOS構造のメモリセルアレイを冗長回路として備える半導体装置では、エラーチェック・コレクション回路等の回路を付加する必要がないことから、回路構成が簡素となり、また、セル自体を小さくすることができることから、冗長回路自体の面積を最小に留めることができ、また製造工程を増加させることなく冗長回路をマスクROMの製造工程で加えることができる。即ち、図7(a)に示されるようなMOS構造のメモリセルに欠陥がある場合には、従来の半導体装置においては、このメモリセルの欠陥を検査し、欠陥セルであるにも拘らず正常メモリのデータに補正するエラーチェック・コレクション回路を半導体装置に組み込むことが要求されているが、本願の半導体装置では、このような回路を組み込む必要がなく、装置の小型化が可能となる。

【0057】また、図7(b)に示されるような1ポリ型のEPROMを冗長回路に採用した半導体装置では、図7(c)に示したMOS構造のメモリセルに比べて基板上の占有面積が大きくなり、半導体装置をコンパクト

にすることができない。即ち、図7(b)に示すEPROMでは、図7(a)及び(c)に示すようにソース領域22a、ドレイン領域22b及びゲート酸化膜26を含む構造は、図7(b)のEPROMと略同様の構造であるが、EPROMでは、ポリシリコン層で作られるフローティング電極FGが埋め込み酸化膜17及びフィールド酸化膜8上を延出されてコントロールゲートCGとしての不純物領域上の酸化膜上にまで広がっている。従って、図7(b)に示すEPROMは、冗長回路部を十分にコンパクトできない。これに対して、図7(c)に示されるNMOS構造では、図7(a)に示すマスクROMと略同程度の大きさで形成できる。

【0058】

【発明の効果】この発明のマスクROM装置及びその製造方法においては、素子分離形成工程に用いたシリコン窒化膜とバッド酸化膜をそのままMNOSに転用した為、プロセスステップの増加なしに自然に冗長回路を形成でき、コストアップを生ぜず歩留まりを上げることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るマスクROMの構造を示す断面図である

【図2】(a)から(f)は、図1に示されるマスクROMの製造工程を示す断面図である。

【図3】(a)から(f)は、図1に示されるマスクROMの製造工程を示す断面図である。

【図4】 $1\mu\text{C}/\text{cm}^2$ の電荷がある場合におけるリコン窒化膜とエレクトロン注入による閾値変化との関係を示すグラフである。

【図5】(a)から(d)は、SILCO構造の半導体構造を採用したこの発明の変形実施例に係るマスクROMの製造工程を示す断面図である。

【図6】セルアレイ部のワードラインに代えて冗長部のワードラインを選択する回路構成を示すブロック図である。

【図7】(a)、(b)及び(c)は、MOSメモリセル、EEPROM及びMNOSの構造を比較して示す断面図である。

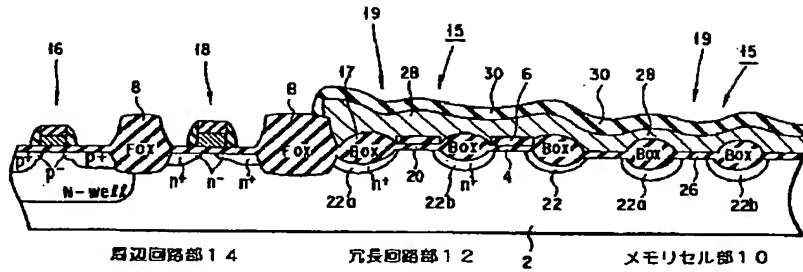
【符号の説明】

- 2 … 半導体基板
- 4 … バッド酸化膜
- 6 … シリコン窒化膜
- 8 … フィールド酸化膜
- 10 … メモリセル部
- 12 … 冗長回路部
- 14 … 周辺回路部
- 17 … 埋め込み酸化膜
- 20 … 犠牲酸化膜
- 22 … 不純物領域
- 26 … ゲート酸化膜

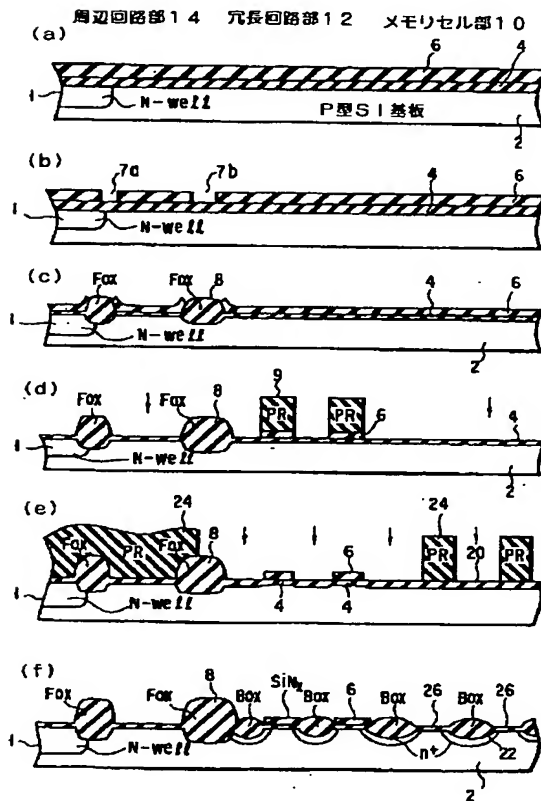
28 ... ポリシリコン膜

* * 30 ... タングステンシリサイド膜

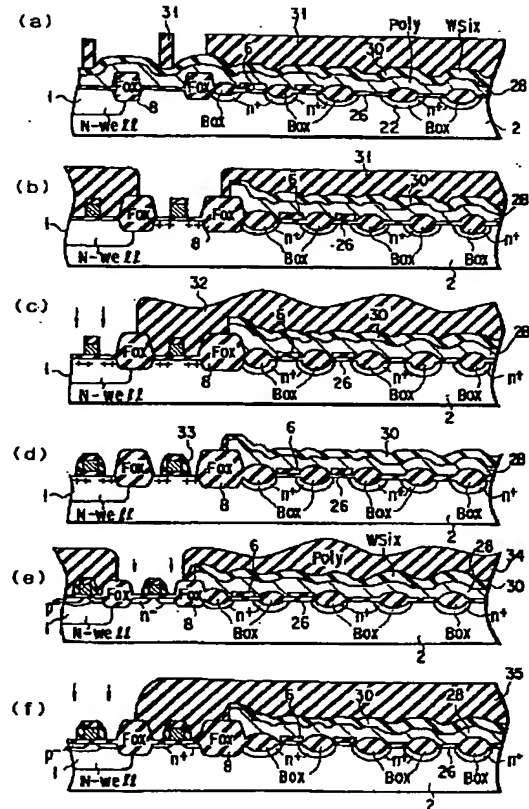
【図1】



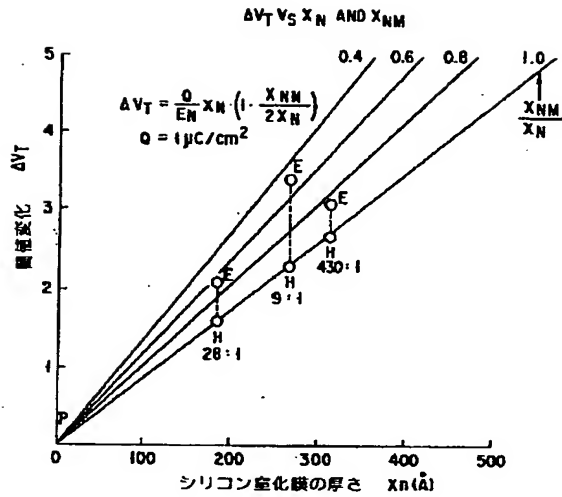
【図2】



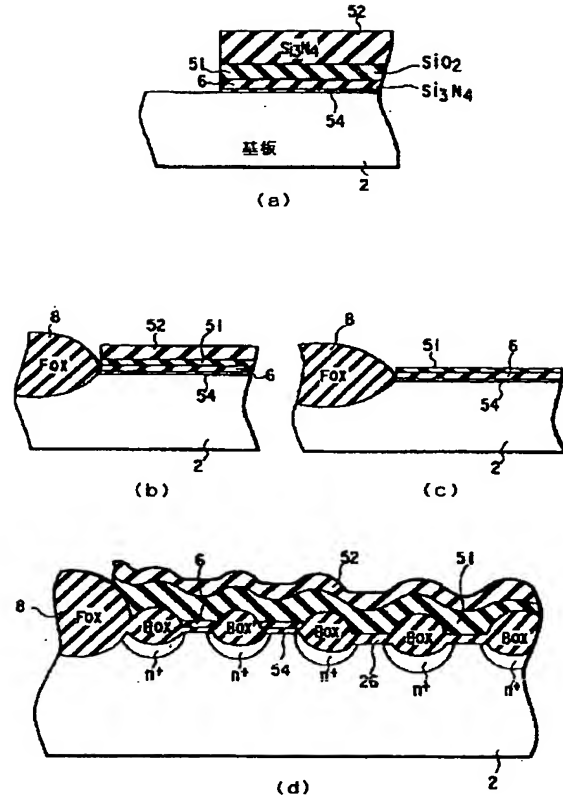
【図3】



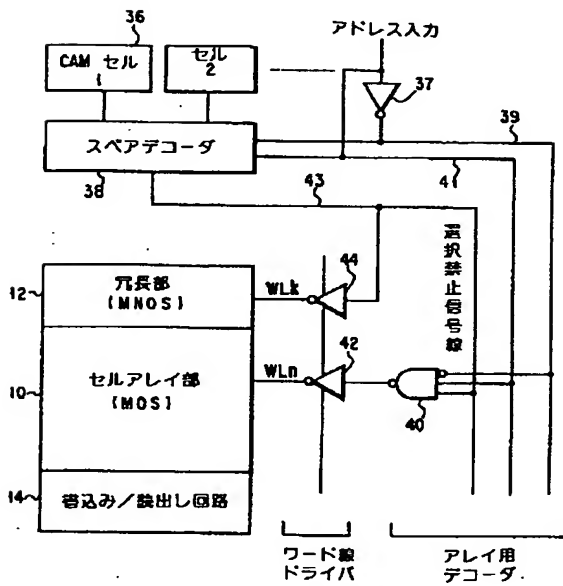
【図 4】



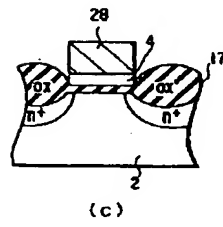
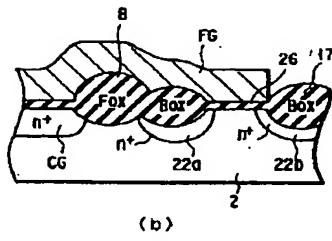
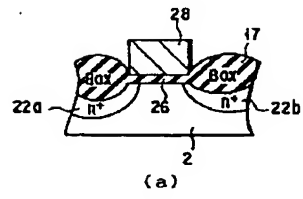
【図 5】



【図 6】



【図 7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.